3103007-23NA

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: ２００３年　５月１５日

出願番号
Application Number: 特願２００３－１３６６９０

[ST. 10/C]: ［ＪＰ２００３－１３６６９０］

出願人
Applicant(s): 株式会社日立製作所
株式会社　日立ディスプレイズ

２００３年　９月２６日

特許庁長官
Commissioner,
Japan Patent Office 今井康夫

出証番号　出証特２００３－３０７９４１０

【書類名】　特許願

【整理番号】　H03007231A

【あて先】　特許庁長官　殿

【国際特許分類】　G09G　3/30

【発明者】

【住所又は居所】　東京都国分寺市東恋ケ窪一丁目２８０番地　株式会社日立製作所中央研究所内

【氏名】　秋元　肇

【発明者】

【住所又は居所】　東京都国分寺市東恋ケ窪一丁目２８０番地　株式会社日立製作所中央研究所内

【氏名】　景山　寛

【発明者】

【住所又は居所】　東京都国分寺市東恋ケ窪一丁目２８０番地　株式会社日立製作所中央研究所内

【氏名】　芝　健夫

【特許出願人】

【識別番号】　000005108

【氏名又は名称】　株式会社　日立製作所

【特許出願人】

【識別番号】　502356528

【氏名又は名称】　株式会社　日立ディスプレイズ

【代理人】

【識別番号】　100075096

【弁理士】

【氏名又は名称】　作田　康夫

【電話番号】　03-3212-1111

【手数料の表示】

【予納台帳番号】　013088

【納付金額】　21,000円

【提出物件の目録】

【物件名】　明細書　1

【物件名】　図面　1

【物件名】　要約書　1

【プルーフの要否】　要

【書類名】　明細書

【発明の名称】　画像表示装置

【特許請求の範囲】

【請求項１】

表示信号電圧に基づいて発光駆動される発光素子を有する画素と、

複数の該画素により構成された表示部と、

該画素に表示信号電圧を書込むための信号線と、

該信号線を介して該表示信号電圧を書込む画素を、複数の該画素の中から選択するための書込み画素選択手段と、

該表示信号電圧を生成するための表示信号電圧生成手段を有する画像表示装置において、

該表示信号電圧を書込まれた該表示部に対して、発光状態／非発光状態の選択を一括制御するための発光状態制御手段と、

上記発光状態選択時において、各画素に対し該信号線を介して一定電圧を供給するための一定電圧供給手段を有することを特徴とする画像表示装置。

【請求項２】

各画素内に設けられた上記発光素子の一端は共通電源に接続される一方、上記発光素子の他端は第一のスイッチを介して発光素子駆動トランジスタの第一のソース／ドレイン電極に接続されており、該発光素子駆動トランジスタの第二のソース／ドレイン電極は電源供給線に接続されており、該発光素子駆動トランジスタのゲートは第二のスイッチを介して該発光素子駆動トランジスタの第一のソース／ドレイン電極に接続されており、かつまた該発光素子駆動トランジスタのゲートは結合容量を介して各画素に対応する上記信号線に接続されていることを特徴とする請求項１記載の画像表示装置。

【請求項３】

上記第一のソース／ドレイン電極はドレイン電極であり、上記第二のソース／ドレイン電極はソース電極であることを特徴とする請求項２記載の画像表示装置。

【請求項４】

上記第一のスイッチ、上記第二のスイッチ、及び上記発光素子駆動トランジスタは全てｐチャネルトランジスタで構成されていることを特徴とする請求項２記載の画像表示装置。

【請求項５】

上記第一のスイッチ、上記第二のスイッチ、及び上記発光素子駆動トランジスタは全てｐチャネルトランジスタで構成されており、かつまた上記結合容量の構造もｐチャネルを用いたMOS（Metal-Oxide-Semiconductor）容量で構成されていることを特徴とする請求項２記載の画像表示装置。

【請求項６】

上記第一のスイッチ、上記第二のスイッチ、上記発光素子駆動トランジスタは全て多結晶Si薄膜トランジスタで構成されていることを特徴とする請求項２記載の画像表示装置。

【請求項７】

上記第一のスイッチ、上記第二のスイッチ、及び上記発光素子駆動トランジスタは全てｎチャネルトランジスタで構成されていることを特徴とする請求項２記載の画像表示装置。

【請求項８】

上記第一のスイッチ、上記第二のスイッチ、及び上記発光素子駆動トランジスタは全てｎチャネルトランジスタで構成されており、かつまた上記結合容量の構造もｎチャネルを用いたMOS（Metal-Oxide-Semiconductor）容量で構成されていることを特徴とする請求項２記載の画像表示装置。

【請求項９】

上記第一のスイッチ、上記第二のスイッチ、上記発光素子駆動トランジスタは全てアモルファスSi薄膜トランジスタで構成されていることを特徴とする請求項２記載の画像表示装置。

【請求項１０】

上記信号線及び上記電源供給線は平行して設けられ、共に同一の金属配線層を加工して形成されていることを特徴とする請求項２記載の画像表示装置。

【請求項１１】

上記結合容量は、上記信号線に重ねて設けられていることを特徴とする請求項１０記載の画像表示装置。

【請求項１２】

上記発光素子駆動トランジスタはゲート・ソース間電圧がしきい値（Threshold）電圧以下であるサブスレッショルド領域で実質的に駆動されることを特徴とする請求項２記載の画像表示装置。

【請求項１３】

各画素内に設けられた上記発光素子の一端は共通電源に接続される一方、上記発光素子の他端は発光素子駆動トランジスタの第一のソース／ドレイン電極に接続されており、該発光素子駆動トランジスタの第二のソース／ドレイン電極は電源供給線に接続されており、該発光素子駆動トランジスタのゲートは第三のスイッチを介して該発光素子駆動トランジスタの第一のソース／ドレイン電極に接続されており、かつまた該発光素子駆動トランジスタのゲートは結合容量を介して各画素に対応する上記信号線に接続されていることを特徴とする請求項１記載の画像表示装置。

【請求項１４】

上記第一のソース／ドレイン電極はドレイン電極であり、上記第二のソース／ドレイン電極はソース電極であることを特徴とする請求項１３記載の画像表示装置。

【請求項１５】

上記三のスイッチ、及び上記発光素子駆動トランジスタは全てｐチャネルトランジスタで構成されていることを特徴とする請求項１３記載の画像表示装置。

【請求項１６】

上記三のスイッチ、及び上記発光素子駆動トランジスタは全てｐチャネルトランジスタで構成されており、かつまた上記結合容量の構造もｐチャネルを用いたMOS（Metal-Oxide-Semiconductor）容量で構成されていることを特徴とする請求項１３記載の画像表示装置。

【請求項１７】

上記三のスイッチ、上記発光素子駆動トランジスタは全て多結晶Si薄膜トラン

ジスタで構成されていることを特徴とする請求項１３記載の画像表示装置。

【請求項１８】

上記三のスイッチ、及び上記発光素子駆動トランジスタは全てｎチャネルトランジスタで構成されていることを特徴とする請求項１３記載の画像表示装置。

【請求項１９】

上記三のスイッチ、及び上記発光素子駆動トランジスタは全てｎチャネルトランジスタで構成されており、かつまた上記結合容量の構造もｎチャネルを用いたMOS（Metal-Oxide-Semiconductor）容量で構成されていることを特徴とする請求項１３記載の画像表示装置。

【請求項２０】

上記三のスイッチ、上記発光素子駆動トランジスタは全てアモルファスSi薄膜トランジスタで構成されていることを特徴とする請求項１３記載の画像表示装置。

【請求項２１】

上記信号線及び上記電源供給線は互いに垂直方向に設けられ、上記電源供給線は金属配線層を加工して形成されていることを特徴とする請求項１３記載の画像表示装置。

【請求項２２】

上記結合容量は、上記信号線に重ねて設けられていることを特徴とする請求項２１記載の画像表示装置。

【請求項２３】

上記発光素子駆動トランジスタはゲート・ソース間電圧がしきい値（Threshold）電圧以下であるサブスレッショルド領域で実質的に駆動されることを特徴とする請求項１３記載の画像表示装置。

【請求項２４】

上記発光状態／非発光状態の選択は１フレーム期間を単位に繰り返されることを特徴とする請求項１記載の画像表示装置。

【請求項２５】

表示信号電圧に基づいて発光駆動される発光素子を有する画素と、

複数の該画素により構成された表示部と、

該画素に表示信号電圧を書込むための信号線と、

該信号線を介して該表示信号電圧を書込む画素を、複数の該画素の中から選択するための書込み画素選択手段と、

該表示信号電圧を生成するための表示信号電圧生成手段を有する画像表示装置において、

該表示信号電圧を書込まれた該表示部に対して、発光状態／非発光状態の選択を一括制御するための発光状態制御手段と、

上記発光状態選択時において、各画素に対し該信号線を介して三角波形状の電圧を供給するための三角波電圧供給手段を有し、

各画素内に設けられた上記発光素子の一端は共通電源に接続される一方、上記発光素子の他端は発光素子駆動トランジスタのドレイン電極に接続されており、該発光素子駆動トランジスタのソース電極は電源供給線に接続されており、該発光素子駆動トランジスタのゲートは第三のスイッチを介して該発光素子駆動トランジスタのドレイン電極に接続されており、かつまた該発光素子駆動トランジスタのゲートは結合容量を介して各画素に対応する上記信号線に接続されていることを特徴とする画像表示装置。

【請求項２６】

上記三角波形状の電圧は、１個の三角波から成っていることを特徴とする請求項２５記載の画像表示装置。

【請求項２７】

上記発光状態／非発光状態の選択は１フレーム期間を単位に繰り返されることを特徴とする請求項２５記載の画像表示装置。

【請求項２８】

表示信号電圧に基づいて発光駆動される発光素子を有する画素と、

複数の該画素により構成された表示部と、

該画素に表示信号電圧を書込むための信号線と、

該信号線を介して該表示信号電圧を書込む画素を、複数の該画素の中から選択するための書込み画素選択手段と、

外部から取り込まれたデータを記憶し、更にそのデータを元に画像データ処理を行い、該表示信号電圧を生成するための表示信号電圧生成手段を有する画像表示装置において

該表示信号電圧を書込まれた該表示部に対して、発光状態／非発光状態の選択を一括制御するための発光状態制御手段と、

上記発光状態選択時において、各画素に対し該信号線を介して一定電圧を供給するための一定電圧供給手段を有することを特徴とする画像表示装置。

【請求項２９】

表示信号電圧に基づいて発光駆動される発光素子を有する画素と、

複数の該画素により構成された表示部と、

該画素に表示信号電圧を書込むための信号線と、

該信号線を介して該表示信号電圧を書込む画素を、複数の該画素の中から選択するための書込み画素選択手段と、

外部から取り込まれたデータを記憶し、更にそのデータを元に画像データ処理を行い、該表示信号電圧を生成するための表示信号電圧生成手段を有する画像表示装置において、

該表示信号電圧を書込まれた該表示部に対して、発光状態／非発光状態の選択を一括制御するための発光状態制御手段と、

上記発光状態選択時において、各画素に対し該信号線を介して三角波形状の電圧を供給するための三角波電圧供給手段を有し、

各画素内に設けられた上記発光素子の一端は共通電源に接続される一方、上記発光素子の他端は発光素子駆動トランジスタのドレイン電極に接続されており、該発光素子駆動トランジスタのソース電極は電源供給線に接続されており、該発光素子駆動トランジスタのゲートは第三のスイッチを介して該発光素子駆動トランジスタのドレイン電極に接続されており、かつまた該発光素子駆動トランジスタのゲートは結合容量を介して各画素に対応する上記信号線に接続されていることを特徴とする画像表示装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は高画質画像表示装置に係り、特に低コスト化に好適な画像表示装置に関する。

【０００２】

【従来の技術】

以下に図１８、図１９を用いて、従来の技術に関して説明する。

図１８は従来の技術を用いた、発光表示デバイスの画素構成図である。発光表示デバイスの表示領域内には画素がマトリクス状に設けられているが、図１８には図面の簡略化のために１画素のみを記載してある。各画素110には発光素子としての有機EL(Organic Electro-luminescent)素子101が設けられており、有機EL素子101のカソード端は共通接地に接続されている。またアノード端はOLED (Organic Light-Emitting Diode) スイッチ107と駆動TFT(Thin-Film-Transistor) 102のチャネルを介して電源線109に接続されている。また駆動TFT 102のゲートは書込み容量104と書込みスイッチ103を介して信号線108に接続されており、駆動TFT 102のソース端子とゲート端子間には記憶容量105が、駆動TFT 102のドレイン端子とゲート端子間にはリセットスイッチ106が設けられている。なおここでOLEDスイッチ107、書込みスイッチ103、リセットスイッチ106は表示領域端に設けられた走査回路によって走査される。

【０００３】

次に図１９を用いて、先の図１８に示した画素の動作について述べる。

図１９は従来例における画素110の動作タイミングチャートであり、当該画素110が走査回路によって選択され、表示信号が書込まれる際の、信号線108、リセットスイッチ106、OLEDスイッチ107、書込みスイッチ103の動作を表している。なおリセットスイッチ106、OLEDスイッチ107、書込みスイッチ103の駆動タイミング波形は、上をスイッチがオフの状態、下をスイッチがオンの状態として示した。画素110への表示信号電圧の書込み時には、始めにt0で書込みスイッチ103がオンとなって書込み容量104の一端に基準レベルの信号電圧V0が印加されると、続いてt1でリセットスイッチ106がオン状態になる。これにより駆動TFT102はゲートとドレインが接続されたダイオード接続になり、前のフィールドで記憶容量10

5に記憶されていた駆動TFT102のゲート電圧はクリアされる。次にt2でOLEDスイッチ107がオフすると、駆動TFT102のゲート電圧が電源線109に印加されている電源電圧よりもしきい値電圧Vthだけ低い電圧まで上昇した時点で、駆動TFT102を流れる電流は停止する。従ってこの状態で安定した後にt3でリセットスイッチ106がオフすると、駆動TFT102のゲート電圧は電源線109に印加されている電源電圧よりもしきい値電圧Vthだけ低い電圧で固定される。次にt4で信号線108の電圧がVsに変化すると、駆動TFT102のゲート電圧は先のリセット電圧に対して、（Vs－V0）に書込み容量104と記憶容量105の分圧比を掛けた値だけシフトし、次にt5で書込みスイッチ103がオフした時点で、この電圧は記憶容量105に記憶される。以上で画素110への表示信号電圧の書込みは終了し、この後t6で信号線108の電圧が基準レベルの信号電圧V0に戻り、t7でOLEDスイッチ107が再度オンすると、ゲート端子に信号電圧が入力された駆動TFT102の駆動電流によって、有機EL素子101は発光駆動される。以上により、画素毎に存在する駆動TFT102のしきい値電圧Vthのばらつきをキャンセルしつつ、（Vs－V0）なる信号電圧に対応したOLED発光を得ることができる。

【非特許文献１】

Digest of Technical papers, SID 98, pp.11-14

このような従来技術については、例えば非特許文献１等に詳しく記載されている。

【０００４】

【発明が解決しようとする課題】

一般にOLEDの駆動TFT102には多結晶Si-TFTが用いられているが、単結晶Siトランジスタと比較して多結晶Si-TFTは特性のばらつきが大きい。特に多結晶Si-TFTはしきい値電圧Vthのばらつきが大きいが、上記従来技術はそれが表示画像中に固定パタンとして現われてしまうという問題点に対して、解決方法を提示したものである。

【０００５】

しかしながら本従来例では上記しきい値電圧Vthのばらつきをキャンセルするために、各画素毎に駆動TFT102に加えてリセットスイッチ106、OLEDスイッチ107

、書込みスイッチ103からなる合計４個のトランジスタと、書込み容量104、記憶容量105からなる合計２個の容量が必要である。従来例においてはこのように一画素あたりの構成素子数が多くなった結果、発光表示デバイスの歩留りが低下し、コストの上昇を招くという問題点があった。トランジスタのゲート絶縁膜及び容量間の絶縁膜における電流リークは、発光表示デバイスに対する点欠陥や、場合によっては線欠陥を生じるからである。

【０００６】

【課題を解決するための手段】

従来例における上記の、各画素あたり４個のトランジスタと２個の容量が必要であるために発光表示デバイスの歩留りが低下し、コストの上昇を招くという課題は、表示信号電圧に基づいて発光駆動される発光素子を有する画素と、複数の画素により構成された表示部と、画素に表示信号電圧を書込むための信号線と、信号線を介して表示信号電圧を書込む画素を、複数の画素の中から選択するための書込み画素選択手段と、表示信号電圧を生成するための表示信号電圧生成手段を有する画像表示装置において、表示信号電圧を書込まれた表示部に対して、発光状態／非発光状態の選択を一括制御するための発光状態制御手段と、上記発光状態選択時において、各画素に対し信号線を介して一定電圧を供給するための一定電圧供給手段を有することによって解決することができる。

【０００７】

或いは上記課題は、表示信号電圧に基づいて発光駆動される発光素子を有する画素と、複数の画素により構成された表示部と、画素に表示信号電圧を書込むための信号線と、信号線を介して該表示信号電圧を書込む画素を、複数の画素の中から選択するための書込み画素選択手段と、表示信号電圧を生成するための表示信号電圧生成手段を有する画像表示装置において、表示信号電圧を書込まれた表示部に対して、発光状態／非発光状態の選択を一括制御するための発光状態制御手段と、上記発光状態選択時において、各画素に対し信号線を介して三角波形状の電圧を供給するための三角波電圧供給手段を有し、各画素内に設けられた上記発光素子の一端は共通電源に接続される一方、上記発光素子の他端は発光素子駆動トランジスタのドレイン電極に接続されており、該発光素子駆動トランジスタ

のソース電極は電源供給線に接続されており、該発光素子駆動トランジスタのゲートは第三のスイッチを介して該発光素子駆動トランジスタのドレイン電極に接続されており、かつまた発光素子駆動トランジスタのゲートは結合容量を介して各画素に対応する上記信号線に接続されていることによって解決することができる。

【０００８】

【発明の実施の形態】

（第一の実施例）

以下図１～図５を用いて、本発明の第一の実施例に関して説明する。

始めに図１を用いて、本実施例の全体構成に関して述べる。

図１は本実施例である有機EL(Organic Electro-luminescent)表示パネルの全体構成図である。表示領域20内には画素10がマトリクス状に設けられており、画素10には信号線8及びリセットゲート線11、OLEDゲート線12、及び電源線9がそれぞれ接続されている。信号線8の一端は信号線切替えスイッチ17を介して信号電圧生成回路16に、リセットゲート線11、OLEDゲート線12の一端は走査回路15に接続されている。電源線9の一端は電源入力線13にまとめられ、また信号線切替えスイッチ17は信号線8を信号電圧生成回路16と定電圧入力線14とに切替える。

【０００９】

実際には画素10は表示領域20内に多数個設けられているが、図面の簡略化のために図１には４画素のみを記載してある。また実際には単位表示画素はRGBの３種類の発光特性を有する画素で構成されているが、これも省略している。また後述するように画素10には他にも共通接地電極が配線されているが、これらの記載も省略してある。なお信号電圧生成回路16はDA変換器と電圧バッファ回路を用いて従来からよく知られているLSI技術で実現されており、走査回路15も既知のシフトレジスタ回路と適当な論理回路を多結晶Si-TFT技術を用いてガラス基板上に実現したものである。

【００１０】

続いて図２を用いて、画素10の構造に関して説明する。

図２は画素10の回路構成図である。各画素10には発光素子としての有機EL素子1

が設けられており、有機EL素子1のカソード端は共通接地に接続されている。またアノード端はOLEDスイッチ7と駆動TFT 2のチャネルとを介して電源線9に接続されている。また駆動TFT 2のゲートは記憶容量4を介して信号線8に接続されており、駆動TFT 2のドレイン端子とゲート端子間にはリセットスイッチ6が設けられている。なおここでOLEDスイッチ7、リセットスイッチ6はそれぞれ前述のOLEDゲート線12、リセットゲート線11に接続されている。駆動TFT 2及びOLEDスイッチ7、リセットスイッチ6は、多結晶Si TFTを用いてガラス基板上に構成されている。多結晶Si-TFT や有機EL素子1の製造方法などに関しては、一般に報告されているものと大きな相違はないため、ここではその説明は省略する。なお有機EL素子1に関しては、例えば特開2001-159878号公報等従来の文献を参照することができる。

【００１１】

次に本第一の実施例の動作について図３及び図４を用いて説明する。

図３は本実施例における有機EL表示パネルの動作タイミングチャートであり、１フレーム期間における信号線8、リセットスイッチ6、OLEDスイッチ7の動作を表している。なおリセットスイッチ6、OLEDスイッチ7の駆動タイミング波形は、上をスイッチがオフの状態、下をスイッチがオンの状態として示した。１フレーム期間は前半の「書込み期間」と、後半の「発光期間」から構成されており、両期間の長さは凡そ等しく設定されている。

前半の「書込み期間」においては走査回路15の走査に従って、画素10におけるリセットスイッチ6、OLEDスイッチ7は順次駆動される。ここで走査回路15によって選択された画素10の「書込み期間」における動作について、図４を用いて説明する。

【００１２】

図４は本実施例における画素10の動作タイミングチャートであり、当該画素10が走査回路15によって選択され、表示信号が書込まれる際の、信号線8、リセットスイッチ6、OLEDスイッチ7の動作を表している。リセットスイッチ6、OLEDスイッチ7の駆動タイミング波形は、上をスイッチがオフの状態、下をスイッチがオンの状態として示しているのは、これまでのと同様である。画素10への表示信

号電圧の書込み時には、始めにt0でリセットスイッチ6及びOLEDスイッチ7がオン状態になり、信号線8には信号電圧Vsが印加される。これにより駆動TFT2はゲートとドレインが接続されたダイオード接続になり、前のフィールドで記憶容量4に記憶されていた駆動TFT2のゲート電圧はクリアされる。次にt1で OLEDスイッチ7がオフすると、駆動TFT2のゲート電圧が電源線9に印加されている電源電圧よりもしきい値電圧Vthだけ低い電圧まで上昇した時点で、駆動TFT2を流れる電流は停止する。従ってこの状態で安定した後にt2でリセットスイッチ6をオフすると、駆動TFT2のゲート電圧は電源線9に印加されている電源電圧よりもしきい値電圧Vthだけ低い電圧で固定される。即ち記憶容量4への書込みによって、信号線8に先の信号電圧Vsが印加された際には、駆動TFT2のゲート端子には、電源線9を介してソース端子に印加されている電源電圧よりもしきい値電圧Vthだけ低い電圧が再現されることになる。これに続いて次の画素10への表示信号の書込みが開始され、信号線8には次の画素10に書込むべき信号電圧が印加される。以上の繰返しによって全ての画素10に対して信号電圧が書込まれたところで、前半の「書込み期間」が終了する。

【００１３】

次に後半の「発光期間」における有機EL表示パネルの動作について、再び図３を用いて説明する。後半の「発光期間」においては、信号線8には一定の電圧Vilが印加され、同時に全ての画素10についてリセットスイッチ6はオフ、OLEDスイッチ7はオンに固定される。前述の記憶容量4への書込みによって、信号線8に信号電圧Vsが印加された際には、駆動TFT2のゲート端子には、電源線9を介してソース端子に印加されている電源電圧よりもしきい値電圧Vthだけ低い電圧が再現される。これに対して信号線8に一定の電圧Vilが印加された際には、記憶容量4に対する駆動TFT2のゲート容量が十分に小さいと仮定すると、駆動TFT2のゲート端子には、電源線9を介してソース端子に印加されている電源電圧よりも（Vs－Vil+しきい値電圧|Vth|）だけ低い電圧が再現されることになる。即ち各画素に対して予め所定の信号電圧Vsを書込んでおくことによって、しきい値電圧Vthのばらつきに影響されることなく、駆動TFT2の駆動電流を用いて有機EL素子1を発光駆動することができる。

画素毎に存在する駆動TFT2のしきい値電圧Vthのばらつきをキャンセルしつつ、（Vs－Vil）なる信号電圧に対応したOLED発光を得ることができる点では、本実施例は従来例と同様の効果を得ることができるが、これに加えて本実施例には、上記しきい値電圧Vthのばらつきのキャンセルを、各画素毎に設けられた駆動TFT2、リセットスイッチ6、OLEDスイッチ7からなる合計３個のトランジスタと、記憶容量4の１個の容量で実現できるという長所がある。本実施例においてはこのように一画素あたりの構成素子数を減少できた結果、発光表示デバイスの歩留りが向上し、コストの低下を図ることができた。

【００１４】

次に本実施例における画素10のレイアウト構造を説明する。

図５は本実施例の画素10のレイアウト図であり、細い破線はAl配線、太い破線はITO（Indium Tin Oxide）を用いた透明電極を示し、実線は多結晶Si薄膜アイランド又はTFT形成用のゲート配線である。また細線の正方形はAl配線と多結晶Si薄膜アイランド、又はAl配線とゲート配線とのコンタクトホール、太線の正方形はAl配線と透明電極とのコンタクトホールである。

画素10の左右には上下方向に信号線8及び電源線9がAl配線でレイアウトされており、信号線8の一部に重なるようにゲート配線21を設けることにより、信号線8の一部をそのまま記憶容量4に用いている。またゲート配線21の一端は電源線9に接続された多結晶Si薄膜アイランド22に重なることによって、駆動TFT2を形成している。更にゲート配線21とに接続された多結晶Si薄膜アイランド23はゲート配線で設けられたリセットゲート11との交差部でリセットスイッチ6を、同じくゲート配線で設けられたOLEDゲート12との交差部でOLEDスイッチ7を構成しており、OLEDスイッチ7の他端はAl配線と透明電極とのコンタクトホール24を介して透明電極25に接続されている。ここで更に透明電極25上には有機発光層やカソード共通接地等を有する有機EL素子1が設けられているが、これらの構造は一般的なものであるためここではその説明は省略する。

【００１５】

本実施例の画素レイアウトにおいては、信号線8及び電源線9を共にAl配線でレイアウトしているため、特に電源線9における電圧降下を回避することができる

。本実施例においては駆動TFT2の駆動電流は、駆動TFT2のソース電圧の影響を受けるため、電源線9における電圧降下を回避することは重要である。
また本実施例の画素レイアウトにおいては、信号線8の一部をそのまま記憶容量4に用いている。これにより透明電極25の面積を大きくすることができ、有機EL面積の拡大が図れるため、有機EL発光に必要な駆動電圧を低減することができる。
なお本実施例においては記憶容量4はAl配線とゲート配線21を重ねることで実現しているが、必要に応じてAl配線に接続された多結晶Si薄膜アイランドを用いることで、記憶容量4の面積を更に低減することもできる。
なおここで駆動TFT2のゲート幅を十分に大きく取ることは、表示画像の画質を向上させるために効果がある。本実施例では上記のように駆動TFT2のVthばらつきはキャンセルされるが、ドレインコンダクタンスや電界効果移動度のような電流駆動能力のばらつきまでをキャンセルすることはできない。そこで駆動TFT2のゲート幅Wを

$$W > Imax / 10nA$$

を満足するように設計することが好ましい。ここでImaxは、その有機EL表示パネルで有機EL素子1を駆動する際の最大電流値である。このように設計すると、駆動TFT2はほぼVth以下のサブスレッショルド領域で動作することになるが、電界効果トランジスタのチャネル電流はサブスレッショルド領域では拡散電流が支配的であるため、駆動TFT2の駆動電流はドレイン／ソース間電圧の影響を殆ど受けることが無く、上記のドレインコンダクタンスのばらつきが画質に影響することを回避できる。

【００１６】

さて以上に述べた本実施例においては、本発明の主旨を損なわない範囲でいくつもの変更が可能である。例えば本実施例ではTFT基板としてはガラス基板を用いたが、これを石英基板や透明プラスチック基板等の他の透明絶縁基板に変更することも可能であるし、また有機EL素子1の発光を上面に取り出すようにすれば、不透明基板を用いることも可能である。

【００１７】

また本実施例の説明においては、画素数やパネルサイズ等に関しては敢えて言

及していない。これは本発明が特にこれらのスペックないしフォーマットに制限されるものではないためである。また今回は表示信号電圧を64階調（6bit）としたが、これ以上の階調も可能であるし、逆に階調制度を下げることも容易である。

【００１８】

また本実施例では走査回路15や信号切替えスイッチ17は、低温多結晶Si-TFT回路で構成している。しかしながらこれらの周辺駆動回路あるいはその一部分を単結晶ＬＳＩ(Large Scale Integrated circuit)回路で構成して実装することも本発明の範囲内で可能であるし、逆に信号電圧生成回路16を低温多結晶Si-TFT回路で構成しても良い。

【００１９】

本実施例では、発光デバイスとして有機EL素子1を用いることとした。しかしこれに代えてその他の無機を含む一般の発光素子を用いても、本発明を実現することが可能であることは明らかである。

なお本実施例においては１フレーム期間内における前半の「書込み期間」と、後半の「発光期間」の長さは凡そ等しく設定されている。これは前半の「書込み期間」を短くすると発光輝度を向上しやすい半面、信号書込み速度が高速化し、後半の「発光期間」を短くすると信号書込み速度が低速化できる半面、発光輝度が低下するためである。しかしながら有機EL表示パネル用途によっては、前半の「書込み期間」と、後半の「発光期間」の長さを適度に調整することが好ましいことは言うまでもない。

【００２０】

また本実施例においては発光素子として有機EL素子1を用いた。しかしながら本発明の考え方は発光素子の構成に依存するものではなく、無機EL素子を含めて任意の発光素子に応用が可能であることは明らかである。

なお以上の種々の変更等は、本実施例に限らず以下のその他の実施例においても、基本的には同様に適用可能である。

（第二の実施例）

以下図６を用いて、本発明の第二の実施例に関して説明する。

本第二の実施例は、その画素構造を除けば基本的には第一の実施例と同様な構成及び動作を有する。このため第一の実施例と同様な部分の説明は省略し、ここではその画素構造に関して説明する。

図６は本発明の第二の実施例である、有機EL表示パネルの画素構成図である。各画素30には発光素子としての有機EL素子1が設けられており、有機EL素子1のカソード端は共通接地に接続されている。またアノード端はOLEDスイッチ7と駆動TFT 2のチャネルとを介して電源線9に接続されている。また駆動TFT 2のゲートは記憶容量34を介して信号線8に接続されており、駆動TFT 2のドレイン端子とゲート端子間にはリセットスイッチ6が設けられている。なお本実施例においては特に、駆動TFT 2及びOLEDスイッチ7、リセットスイッチ6は、ｐ型の多結晶Si TFTを用いて構成されていると同時に、記憶容量34もｐ型の多結晶Si TFTを用いてガラス基板上に構成されている。このとき本実施例においては信号線8に印加される信号電圧が、駆動TFT 2のリセット時の電圧である（電源線9の電圧－|Vth|）よりも負になるように設定されている。これにより記憶容量34を構成するｐ型の多結晶Si TFTには常時チャネルが形成され、ゲート容量を安定した容量として使用することができている。

【００２１】

本実施例においては、画素を全てｐ型の多結晶Si TFTで構成しているが、走査回路15や信号切替えスイッチ17もｐ型の多結晶Si TFTで構成することが可能であるため、ｎ型の高濃度インプラプロセスが不要である。このために製造プロセスが簡略化でき、より低コスト化を図ることができる。

（第三の実施例）

以下図７～図１１を用いて、本発明の第三の実施例に関して説明する。

始めに図７を用いて、本実施例の全体構成に関して述べる。

図７は本実施例である有機EL表示パネルの全体構成図である。表示領域46内には画素40がマトリクス状に設けられており、画素40には信号線8及びリセットゲート線11、電源線49がそれぞれ接続されている。信号線8の一端は信号線切替えスイッチ17を介して信号電圧生成回路16に、リセットゲート線11の一端は走査回路45に接続され、電源線49は電源線スイッチ41を介して電源入力線43にまとめられ

る。なおここで、電源線スイッチ41は走査回路45によって制御され、また信号線切替えスイッチ17は信号線8を信号電圧生成回路16と定電圧入力線14とに切替える。

実際には画素40は表示領域46内に多数個設けられているが、図面の簡略化のために図７には４画素のみを記載してある。後述するように画素40には他にも共通接地電極が配線されているが、これらの記載は省略してある。なお信号電圧生成回路16はDA変換器と電圧バッファ回路を用いて従来からよく知られているLSI技術で実現されており、走査回路45も既知のシフトレジスタ回路と適当な論理回路を多結晶Si-TFT技術を用いてガラス基板上に実現したものである。

【００２２】

続いて図８を用いて、画素40の構造に関して説明する。

図８は画素40の回路構成図である。各画素40には発光素子としての有機EL素子1が設けられており、有機EL素子1のカソード端は共通接地に接続されている。またアノード端は駆動TFT 2のチャネルを介して電源線49に接続されている。また駆動TFT 2のゲートは記憶容量4を介して信号線8に接続されており、駆動TFT 2のドレイン端子とゲート端子間にはリセットスイッチ6が設けられている。なおここでリセットスイッチ6は前述のリセットゲート線11に接続されている。駆動TFT 2及びリセットスイッチ6は、多結晶Si TFTを用いてガラス基板上に構成されている。多結晶Si-TFT や有機EL素子1の製造方法などに関しては、一般に報告されているものと大きな相違はないため、ここではその説明は省略する。

【００２３】

次に本第三の実施例の動作について図９及び図１０を用いて説明する。

図９は本実施例における有機EL表示パネルの動作タイミングチャートであり、１フレーム期間における信号線8、リセットスイッチ6、電源線スイッチ41及び有機EL素子1のカソード端である共通接地（Common）の動作を表している。なおリセットスイッチ6、電源線スイッチ41の駆動タイミング波形は、上をスイッチがオフの状態、下をスイッチがオンの状態として示し、共通接地の動作は下を接地の状態、上をフローティング（Open）の状態として示した。１フレーム期間は前半の「書込み期間」と、後半の「発光期間」から構成されており、両期間の長さは

凡そ等しく設定されている。前半の「書込み期間」においては走査回路45の走査に従って、画素40におけるリセットスイッチ6、及び表示領域46端部に設けられた電源線スイッチ41は順次駆動され、同時に共通接地も接地／フローティングの状態を繰り返す。ここで走査回路45によって選択された画素40の行の「書込み期間」における動作について、図１０を用いて説明する。

【００２４】

図１０は本実施例における画素40の行の動作タイミングチャートであり、当該画素40の行が走査回路45によって選択され、表示信号が書込まれる際の、信号線8、リセットスイッチ6、電源線スイッチ41、及び有機EL素子1のカソード端である共通接地（Common）の動作を表している。リセットスイッチ6、電源線スイッチ41の駆動タイミング波形は、上をスイッチがオフの状態、下をスイッチがオンの状態として示しているのは、これまでのと同様であり、共通接地（Common）の動作は下を接地の状態、上をフローティング（Open）の状態として示した。画素40への表示信号電圧の書込み時には、始めにt0でリセットスイッチ6及び電源線スイッチ41がオン状態になり、共通接地は接地され、信号線8には信号電圧Vsが印加される。これにより駆動TFT2はゲートとドレインが接続されたダイオード接続になり、前のフィールドで記憶容量4に記憶されていた駆動TFT2のゲート電圧はクリアされる。次にt1で 共通接地がフローティング（Open）になると、駆動TFT2のゲート電圧が電源線49に印加されている電源電圧よりもしきい値電圧Vthだけ低い電圧まで上昇した時点で、駆動TFT2を流れる電流は停止する。従ってこの状態で安定した後にt2でリセットスイッチ6をオフすると、駆動TFT2のゲート電圧は電源線49に印加されている電源電圧よりもしきい値電圧Vthだけ低い電圧で固定される。即ち記憶容量4への書込みによって、信号線8に先の信号電圧Vsが印加された際には、駆動TFT2のゲート端子には、電源線9を介してソース端子に印加されている電源電圧よりもしきい値電圧Vthだけ低い電圧が再現されることになる。この後t3で電源線スイッチ41がオフされ、この行に関する信号電圧の書込みは完了する。

これに続いて次の画素40の行への表示信号の書込みが開始され、信号線8には次の画素40に書込むべき信号電圧が印加される。以上の繰返しによって全ての画素

40に対して信号電圧が書込まれたところで、前半の「書込み期間」が終了する。

【００２５】

次に後半の「発光期間」における有機EL表示パネルの動作について、再び図９を用いて説明する。後半の「発光期間」においては、信号線8には一定の電圧Vilが印加され、同時に全ての画素40についてリセットスイッチ6はオフ、電源線スイッチ41はオン、共通接地は接地電圧に固定される。前述の記憶容量4への書込みによって、信号線8に信号電圧Vsが印加された際には、駆動TFT2のゲート端子には、電源線49を介してソース端子に印加されている電源電圧よりもしきい値電圧Vthだけ低い電圧が再現される。これに対して信号線8に一定の電圧Vilが印加された際には、記憶容量4に対する駆動TFT2のゲート容量が十分に小さいと仮定すると、駆動TFT2のゲート端子には、電源線49を介してソース端子に印加されている電源電圧よりも（Vs－Vil+しきい値電圧|Vth|）だけ低い電圧が再現されることになる。即ち各画素に対して予め所定の信号電圧Vsを書込んでおくことによって、しきい値電圧Vthのばらつきに影響されることなく、駆動TFT2の駆動電流を用いて有機EL素子1を発光駆動することができる。

画素毎に存在する駆動TFT2のしきい値電圧Vthのばらつきをキャンセルしつつ、（Vs－Vil）なる信号電圧に対応したOLED発光を得ることができる点では、本実施例は従来例と同様の効果を得ることができるが、これに加えて本実施例には、上記しきい値電圧Vthのばらつきのキャンセルを、各画素毎に設けられた駆動TFT2、リセットスイッチ6からなる合計２個のトランジスタと、記憶容量4の１個の容量で実現できるという長所がある。本実施例においてはこのように一画素あたりの構成素子数を減少できた結果、発光表示デバイスの歩留りが向上し、コストの低下を図ることができた。

【００２６】

次に本実施例における画素40のレイアウト構造を説明する。

図１１は本実施例の画素40のレイアウト図であり、細い破線はAl配線、太い破線はITO（Indium Tin Oxide）を用いた透明電極を示し、実線は多結晶Si薄膜アイランド又はTFT形成用のゲート配線である。また細線の正方形はAl配線と多結晶Si薄膜アイランド、又はAl配線とゲート配線とのコンタクトホール、太線の正方

形はAl配線と透明電極とのコンタクトホールである。

画素40の一端には上下方向に信号線8がゲート配線でレイアウトされており、電源線49は信号線8とは垂直の方向にAl配線でレイアウトされている。また信号線8の一部に重なるように多結晶Si薄膜アイランド52を設けることにより、信号線8の一部をそのまま記憶容量4に用いている。多結晶Si薄膜アイランド52はリセットゲート11に接続されたゲート配線との交差部でリセットスイッチ6、その端部に接続されたゲート配線51との交差部で駆動TFT2を形成しており、また一部でAl配線と透明電極とのコンタクトホール54を介して透明電極55に接続されている。ここで更に透明電極55上には有機発光層やカソード共通接地等を有する有機EL素子1が設けられているが、これらの構造は一般的なものであるためここではその説明は省略する。

【００２７】

本実施例の画素レイアウトにおいては、電源線49を行方向にAl配線でレイアウトしているため、電源線49における電圧降下を回避することができる。本実施例においては駆動TFT2の駆動電流は、駆動TFT2のソース電圧の影響を受けるため、電源線49における電圧降下を回避することは重要である。

また本実施例の画素レイアウトにおいては、信号線8の一部をそのまま記憶容量4に用いている。これにより透明電極55の面積を大きくすることができ、有機EL面積の拡大が図れるため、有機EL発光に必要な駆動電圧を低減することができる。

（第四の実施例）

以下図１２を用いて、本発明の第四の実施例に関して説明する。

本第四の実施例は、その画素構造を除けば基本的には第一の実施例と同様な構成及び動作を有する。このため第一の実施例と同様な部分の説明は省略し、ここではその画素構造に関して説明する。

図１２は本発明の第四の実施例である、有機EL表示パネルの画素構成図である。各画素60には発光素子としての有機EL素子61が設けられており、有機EL素子61のアノード端は共通接地に接続されている。またカソード端はOLEDスイッチ67と駆動TFT 62のチャネルとを介して電源線9に接続されている。また駆動TFT 62のゲートは記憶容量64を介して信号線8に接続されており、駆動TFT 62のドレイン端

子とゲート端子間にはリセットスイッチ66が設けられている。なお本実施例においては特に、駆動TFT 62及びOLEDスイッチ67、リセットスイッチ66は、ｎ型のアモルファスSi TFTを用いて構成されていると同時に、記憶容量64もｎ型のアモルファスSi TFTを用いてガラス基板上に構成されている。このとき本実施例においては信号線8に印加される信号電圧が、駆動TFT 62のリセット時の電圧である（電源線9の電圧＋|Vth|）よりも負になるように設定されている。これにより記憶容量64を構成するｎ型のアモルファスSi TFTには常時チャネルが形成され、ゲート容量を安定した容量として使用することができている。

本実施例においては、画素を全てｎ型のアモルファスSi TFTで構成しているが、走査回路15や信号切替えスイッチ17もｎ型のアモルファスSi TFTで構成することが可能であるため、Siの多結晶化プロセスが不要である。このために製造プロセスが簡略化でき、より低コスト化を図ることができる。

なお本実施例では記憶容量64のゲート電極を画素側に設けたが、ゲート電極は信号線8側に設けることも可能である。この場合は信号線8に印加される信号電圧が、駆動TFT 62のリセット時の電圧である（電源線9の電圧＋|Vth|）よりも正になるように設定しておけば良い。

（第五の実施例）

以下図１３～図１６を用いて、本発明の第五の実施例に関して説明する。

始めに図１３を用いて、本実施例の全体構成に関して述べる。

図１３は本実施例である有機EL表示パネルの全体構成図である。表示領域80内には画素70がマトリクス状に設けられており、画素70には信号線78及びリセットゲート線71、電源線79がそれぞれ接続されている。信号線78の一端は信号線切替えスイッチ87を介して信号電圧生成回路86に、リセットゲート線71の一端は走査回路85に接続され、電源線79は電源線スイッチ81を介して電源入力線83にまとめられる。なおここで、電源線スイッチ81は走査回路85によって制御され、また信号線切替えスイッチ87は信号線78を信号電圧生成回路86と三角波入力線84とに切替える。

実際には画素70は表示領域80内に多数個設けられているが、図面の簡略化のために図１３には４画素のみを記載してある。後述するように画素70には他にも共通

接地電極が配線されているが、これらの記載は省略してある。なお信号電圧生成回路86はDA変換器と電圧バッファ回路を用いて従来からよく知られているLSI技術で実現されており、走査回路85も既知のシフトレジスタ回路と適当な論理回路を多結晶Si-TFT技術を用いてガラス基板上に実現したものである。

【００２８】

続いて図１４を用いて、画素70の構造に関して説明する。

図１４は画素70の回路構成図である。各画素70には発光素子としての有機EL素子1が設けられており、有機EL素子1のカソード端は共通接地に接続されている。またアノード端は駆動TFT 72のチャネルを介して電源線79に接続されている。また駆動TFT 72のゲートは記憶容量74を介して信号線78に接続されており、駆動TFT 72のドレイン端子とゲート端子間にはリセットスイッチ76が設けられている。なおここでリセットスイッチ76は前述のリセットゲート線71に接続されている。駆動TFT 72及びリセットスイッチ76は、多結晶Si TFTを用いてガラス基板上に構成されている。多結晶Si-TFT や有機EL素子1の製造方法などに関しては、一般に報告されているものと大きな相違はないため、ここではその説明は省略する。

【００２９】

次に本第五の実施例の動作について図１５及び図１６を用いて説明する。

図１５は本実施例における有機EL表示パネルの動作タイミングチャートであり、１フレーム期間における信号線78、リセットスイッチ76、電源線スイッチ81の動作を表している。なおリセットスイッチ76、電源線スイッチ81の駆動タイミング波形は、上をスイッチがオフの状態、下をスイッチがオンの状態として示した。１フレーム期間は前半の「書込み期間」と、後半の「発光期間」から構成されており、両期間の長さは凡そ等しく設定されている。前半の「書込み期間」においては走査回路85の走査に従って、画素70におけるリセットスイッチ76、及び表示領域80端部に設けられた電源線スイッチ81は順次駆動される。ここで走査回路85によって選択された画素70の行の「書込み期間」における動作について、図１６を用いて説明する。

【００３０】

図１６は本実施例における画素70の行の動作タイミングチャートであり、当該

画素70の行が走査回路85によって選択され、表示信号が書込まれる際の、信号線78、リセットスイッチ76、電源線スイッチ81の動作を表している。リセットスイッチ76、電源線スイッチ81の駆動タイミング波形は、上をスイッチがオフの状態、下をスイッチがオンの状態として示しているのは、これまでのと同様である。画素70への表示信号電圧の書込み時には、始めにt0でリセットスイッチ76及び電源線スイッチ81がオン状態になり、信号線78には信号電圧Vsが印加される。これにより駆動TFT72はゲートとドレインが接続されたダイオード接続になり、前のフィールドで記憶容量74に記憶されていた駆動TFT72のゲート電圧はクリアされる。なおここで本画素回路を、駆動TFT72を駆動トタンジスタ、有機EL素子1を負荷としたインバータ回路と解釈することも可能である。このように考えると、t0後の回路接続は、このインバータ回路の入力端子と出力端子間をリセットスイッチ76で短絡した状態と見なす事ができるため、インバータ回路の入力端子と出力端子には、共にインバータ回路出力における「高電圧出力」と「低電圧出力」のおよそ中間の電圧が生じている。次にt1でリセットスイッチ76をオフすると、駆動TFT72のゲート電圧は上記のインバータ回路出力における「高電圧出力」と「低電圧出力」のおよそ中間の電圧で固定される。ここで「高電圧出力」とは電源線79に印加されている電源電圧であり、「低電圧出力」とは共通接地電圧である。即ち記憶容量74への書込みによって、信号線78に先の信号電圧Vsが印加された際には、駆動TFT72のゲート端子には、上記のインバータ回路出力における「高電圧出力」と「低電圧出力」のおよそ中間の電圧が再現されることになる。この後t2で電源線スイッチ81がオフされ、この行に関する信号電圧の書込みは完了する。

これに続いて次の画素70の行への表示信号の書込みが開始され、信号線78には次の画素70に書込むべき信号電圧が印加される。以上の繰返しによって全ての画素70に対して信号電圧が書込まれたところで、前半の「書込み期間」が終了する。

【００３１】

次に後半の「発光期間」における有機EL表示パネルの動作について、再び図１５を用いて説明する。後半の「発光期間」においては、信号線78には図に示すような中心で最も電圧が低くなるような三角波形が印加され、同時に全ての画素70

についてリセットスイッチ76はオフ、電源線スイッチ81はオンに固定される。前述の記憶容量74への書込みによって、信号線78に信号電圧Vsが印加された際には、駆動TFT72を駆動トランジスタとし、有機EL素子1を負荷としたインバータ回路はその出力がおおよそ中間電圧をとるが、信号線78に信号電圧Vsより高い電圧が印加された際には、このインバータ回路はその出力が「低電圧出力」（共通接地電圧）となり、信号線78に信号電圧Vsより低い電圧が印加された際には、このインバータ回路はその出力が「高電圧出力」（電源線79に印加されている電源電圧）となる。従って図１５に示したように信号線78の電圧が、予めその画素70に書込まれていた信号電圧Vsよりも低くなる期間Tsにおいて、この画素70の有機EL素子1には「高電圧出力」（電源線79に印加されている電源電圧）が印加されて発光する。即ちこのとき有機EL素子1は実質的には発光／非発光の２値状態をとり、その発光期間Tsが信号電圧Vsによって制御されることによって階調発光することになる。

【００３２】

本実施例においては画素毎に存在する駆動TFT72のしきい値電圧Vthのばらつきを、駆動TFT72と有機EL素子1で構成されるインバータ回路の論理しきい値ばらつきとしてキャンセルしつつ、Vsなる信号電圧に対応したOLED発光を得ることができる点では、本実施例は従来例と同様の効果を得ることができるが、これに加えて本実施例には、上記しきい値電圧Vthのばらつきのキャンセルを、各画素毎に設けられた駆動TFT72、リセットスイッチ76からなる合計２個のトランジスタと、記憶容量74の１個の容量で実現できるという長所がある。本実施例においてはこのように一画素あたりの構成素子数を減少できた結果、発光表示デバイスの歩留りが向上し、コストの低下を図ることができた。更にこれに加えて本実施例においては、駆動TFT72の電流駆動能力等のばらつきもキャンセルできるという優れた利点を有する。これは有機EL素子1が実質的には発光／非発光の２値状態で駆動されることに起因する。

なお本実施例における画素70のレイアウト構造は、基本的には第三の実施例と同様であるために説明は省略する。但し本実施例においては駆動TFT72のゲート幅が大きい方が、画素回路のインバータ特性の立上りがより急峻になるため、イン

バータ回路の論理しきい値ばらつきの低減能力は向上する。但し駆動TFT72のゲートが大きくする場合には、それに対応して記憶容量74も大きくする必要があることには注意が必要である。

【００３３】

以上の本実施例では「発光期間」に信号線78に印加する三角波の波形を単一の三角形としたが、これを複数の三角形に変更することも可能である。また三角形の形状を非線形とすることで、表示画像に適当なガンマ特性を付与することもできる。

【００３４】

また本実施例においては電源線79はRGBの三色の画素で共通とした。しかしながら電源線79を複数チャネル設け、発光色毎に有機EL素子1の駆動電圧を変更することにより、色バランスを制御や変更することが可能であるようにすることもできる。

（第六の実施例）

以下図１７を用いて、本発明における第六の実施例に関して説明する。

図１７は第六の実施例であるTV画像表示装置200の構成図である。

地上波デジタル信号等を受信する無線インターフェース（I/F）回路202には、圧縮された画像データ等が外部から無線データとして入力し、無線I/F回路202の出力はI/O（Input/Output）回路203を介してデータバス208に接続される。データバス208にはこの他にマイクロプロセサ(MPU)204、表示パネルコントローラ206、フレームメモリ207等が接続されている。更に表示パネルコントローラ206の出力は有機EL表示パネル201に入力している。なお画像表示端末200には更に、定電圧発生回路205、電源209が設けられており、定電圧発生回路205の出力は有機EL表示パネル201に入力している。なおここで有機EL表示パネル201は、先に延べた第一の実施例と同一の構成および動作を有しているので、その内部の構成及び動作の記載はここでは省略する。

【００３５】

以下に本第六の実施例の動作を説明する。始めに無線I/F回路202は命令に応じて圧縮された画像データを外部から取り込み、この画像データをI/O回路203を介

してマイクロプロセサ204及びフレームメモリ207に転送する。マイクロプロセサ204はユーザからの命令操作を受けて、必要に応じて画像表示端末200全体を駆動し、圧縮された画像データのデコードや信号処理、情報表示を行う。ここで信号処理された画像データは、フレームメモリ207に一時的に蓄積が可能である。
ここでマイクロプロセサ204が表示命令を出した場合には、その指示に従ってフレームメモリ207から表示パネルコントローラ206を介して有機EL表示パネル201に画像データが入力され、有機EL表示パネル201は入力された画像データをリアルタイムで表示する。このとき表示パネルコントローラ206は、同時に画像を表示するために必要な所定のタイミングパルスを出力し、定電圧発生回路205は所定の定電圧を出力する。この定電圧は画質を調整するために可変である。なお有機EL表示パネル201がこれらの信号を用いて、６ビット画像データから生成された表示データをリアルタイムで表示することに関しては、第一の実施例で述べたとおりである。なおここで電源209には二次電池が含まれており、これらの画像表示端末200全体を駆動する電力を供給する。
本実施例によれば、高精度な多階調表示が可能である画像表示端末200を提供することができる。

なお本実施例では画像表示デバイスとして、第一の実施例で説明した有機EL表示パネルを用いたが、これ以外にその他の本発明の実施例に記載されたような種々の表示パネルを用いることが可能であることは明らかである。但しこの場合は有機EL表示パネルの構造に応じた若干の回路変更が必要になることは言うまでもなく、例えば第五の実施例で説明した有機EL表示パネルを用いた場合には、定電圧発生回路205に替えて三角波電圧発生回路が必要である。

【００３６】

【発明の効果】

本発明によれば、高画質画像表示が可能であり、かつ高歩留りによる低コスト化に好適な画像表示装置を提供することができる。

【図面の簡単な説明】

【図１】

第一の実施例である有機EL表示パネルの全体構成図。

【図２】

第一の実施例における画素回路構成図。

【図３】

第一の実施例における有機EL表示パネルの動作タイミングチャート。

【図４】

第一の実施例における画素の動作タイミングチャート。

【図５】

第一の実施例における画素のレイアウト図。

【図６】

第二の実施例における画素回路構成図。

【図７】

第三の実施例である有機EL表示パネルの全体構成図。

【図８】

第三の実施例における画素回路構成図。

【図９】

第三の実施例における有機EL表示パネルの動作タイミングチャート。

【図１０】

第三の実施例における画素の行の動作タイミングチャート。

【図１１】

第三の実施例における画素のレイアウト図。

【図１２】

第四の実施例における画素回路構成図。

【図１３】

第五の実施例である有機EL表示パネルの全体構成図。

【図１４】

第五の実施例における画素回路構成図。

【図１５】

第五の実施例における有機EL表示パネルの動作タイミングチャート。

【図１６】

第五の実施例における画素の行の動作タイミングチャート。

【図１７】

第六の実施例であるTV画像表示装置の構成図。

【図１８】

従来の技術を用いた発光表示デバイスの画素構成図。

【図１９】

従来の技術を用いた画素の動作タイミングチャート。

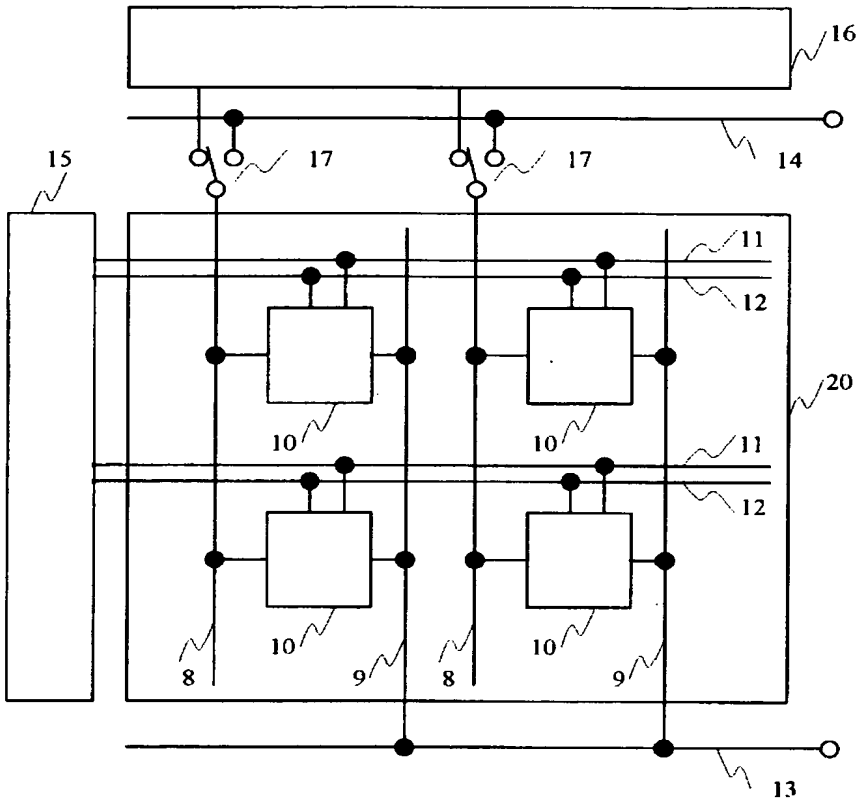
【符号の説明】

1…有機EL素子、2…駆動TFT、4…記憶容量、6…リセットスイッチ、7…OLEDスイッチ、8…信号線、、9…電源線、10…画素、11…リセットゲート線、12…OLEDゲート線、14…定電圧入力線、15…走査回路、16…信号電圧生成回路。

【書類名】　図面

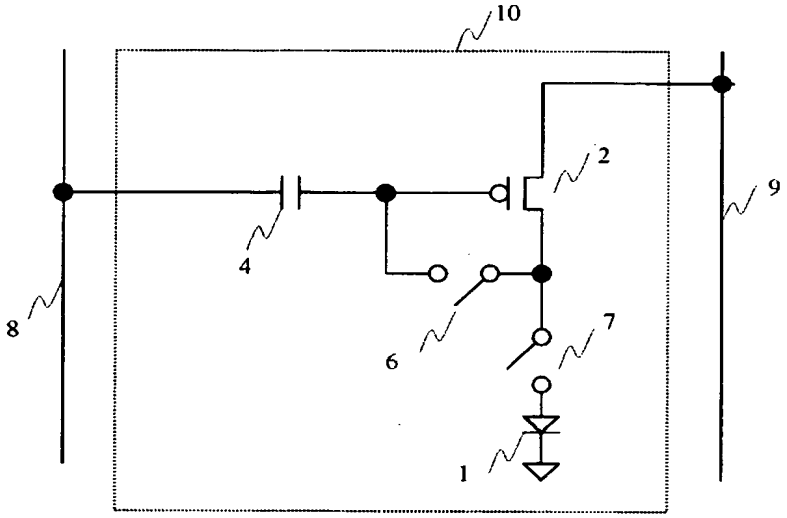
【図１】

図1



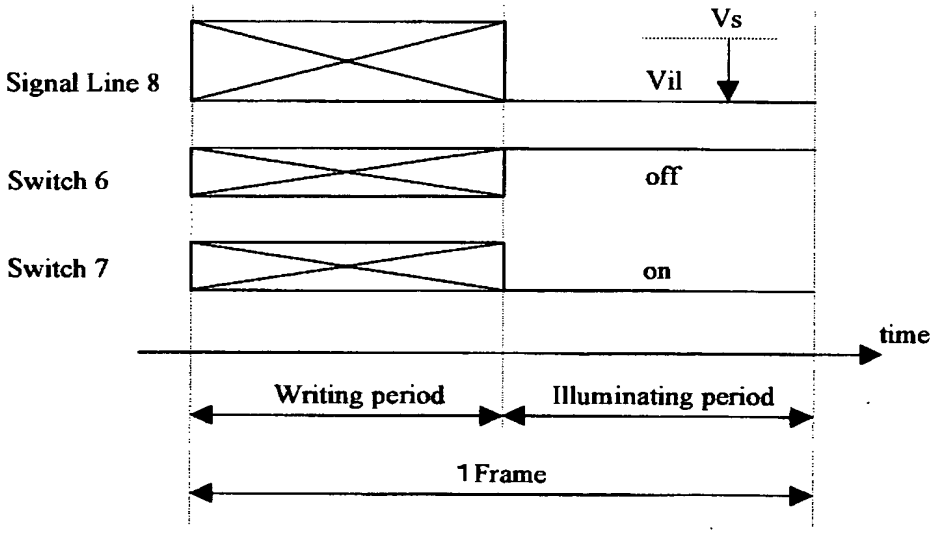
【図２】

図2


10
2
9
4
8
6
7
1

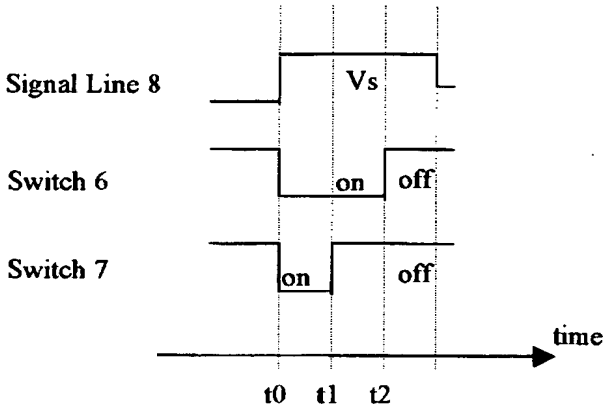
【図３】

図3


Vs
Signal Line 8
Vil
Switch 6
off
Switch 7
on
time
Writing period
Illuminating period
1Frame

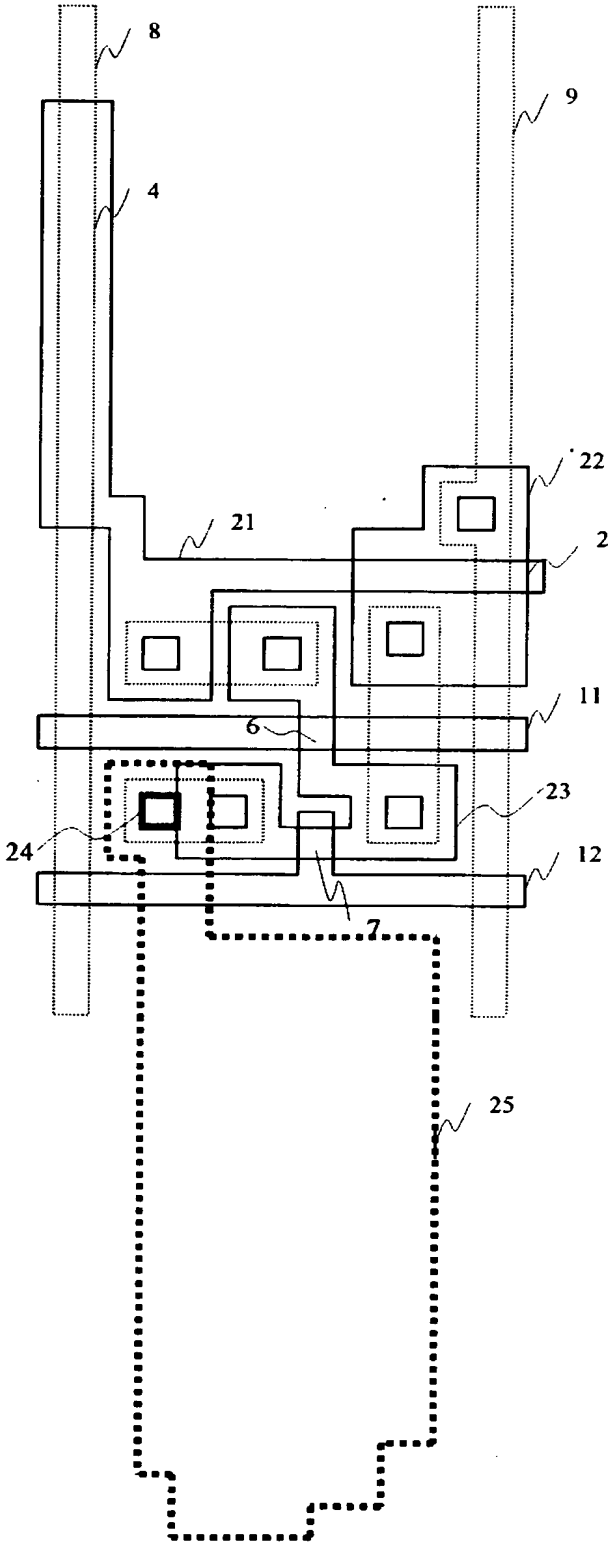
【図４】

図4



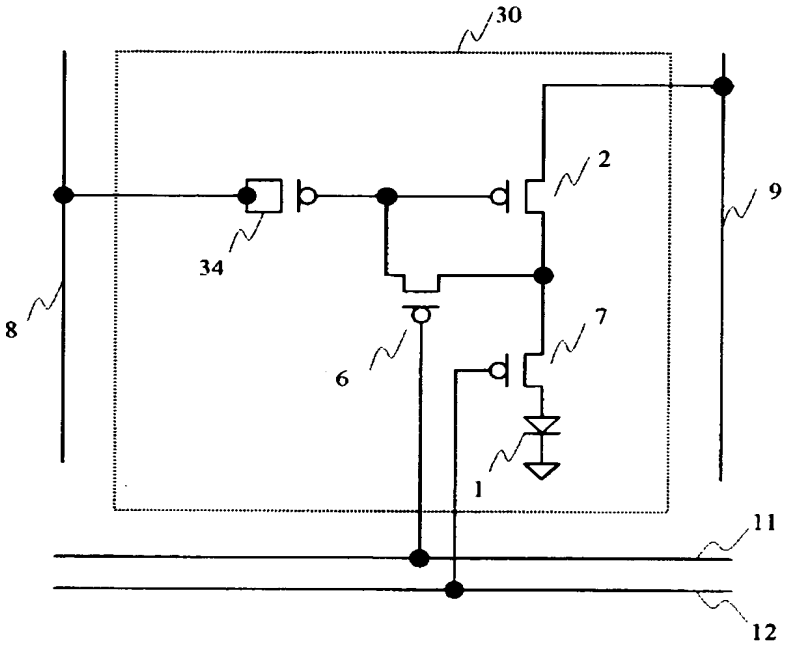
【図５】

図5



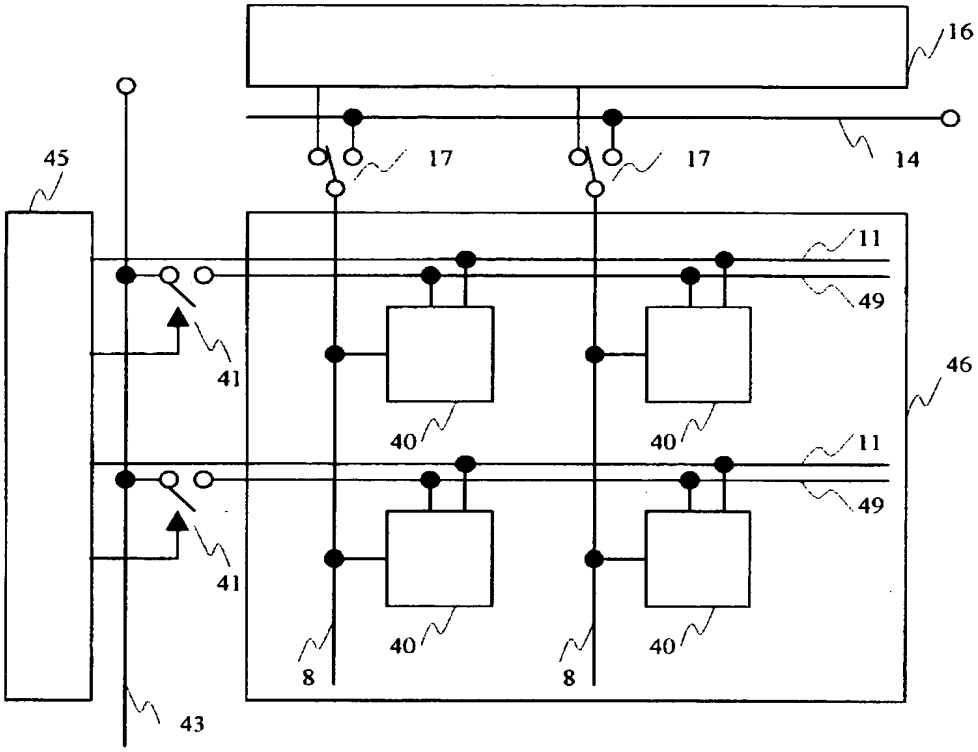
【図６】

図6



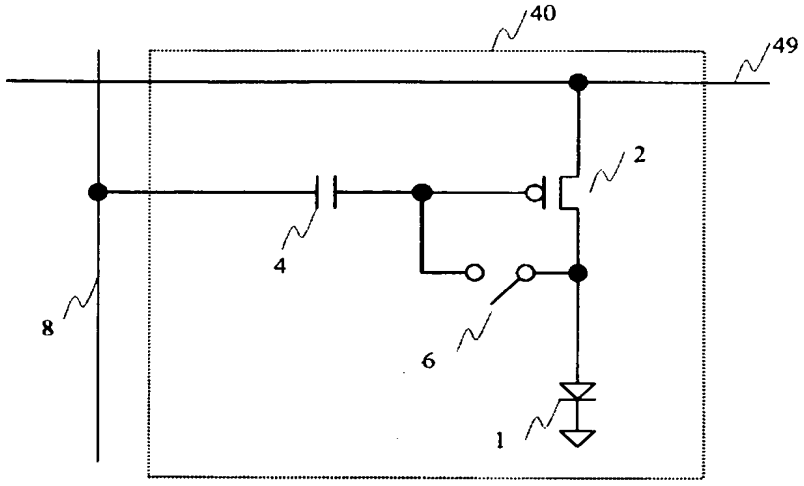
【図７】

図7



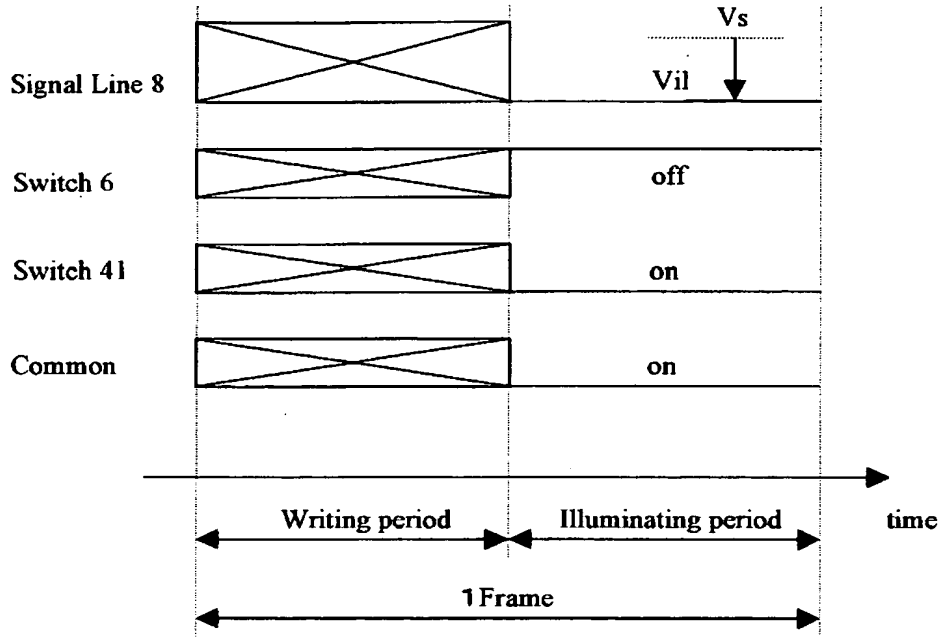
【図８】

図8



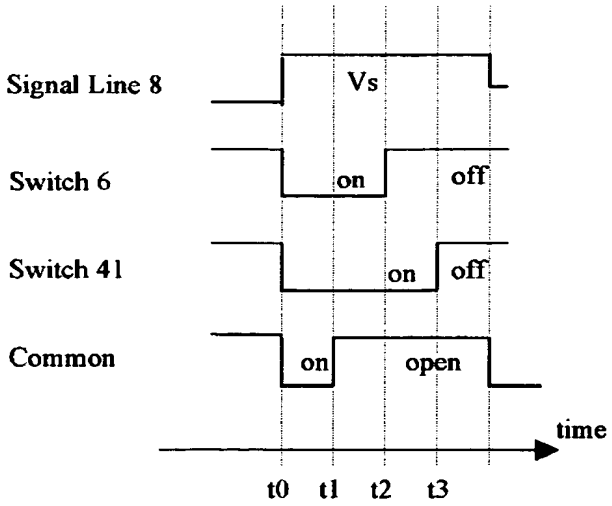
【図９】

図9


Vs
Vil
Signal Line 8
Switch 6
off
Switch 41
on
Common
on
Writing period
Illuminating period
time
1 Frame

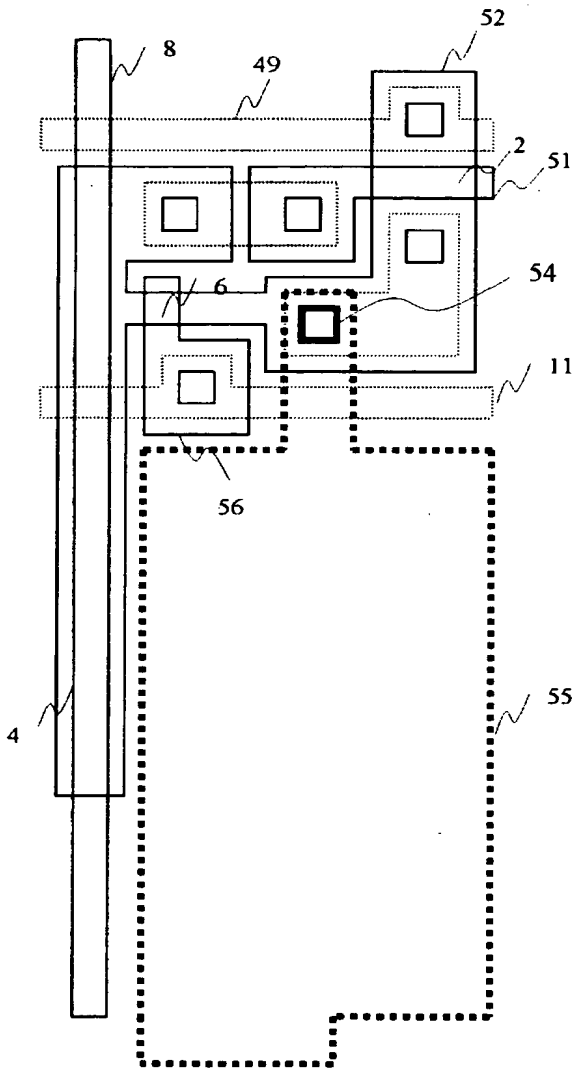
【図１０】

図10


Signal Line 8
Vs
Switch 6
on
off
Switch 41
on
off
Common
on
open
time
t0
t1
t2
t3

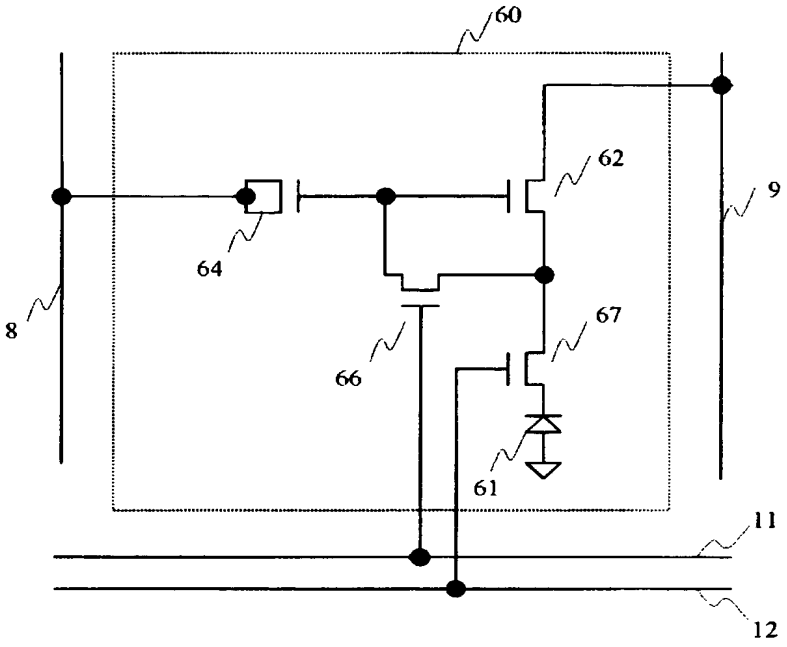
【図１１】

図11



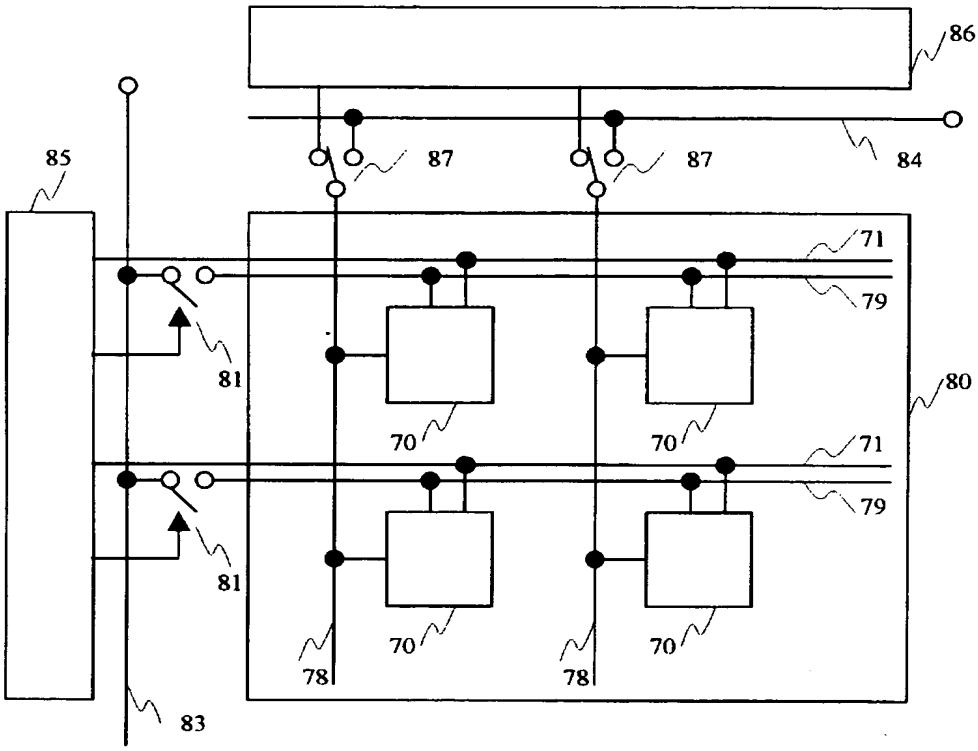
【図１２】

図12



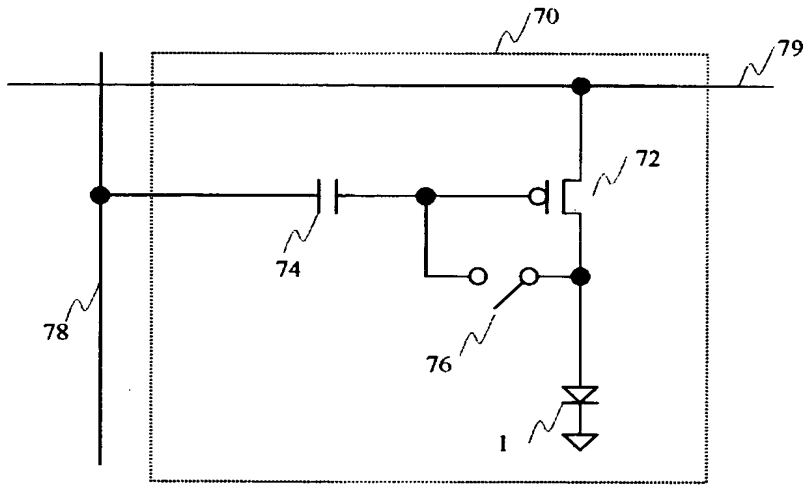
【図１３】

図13



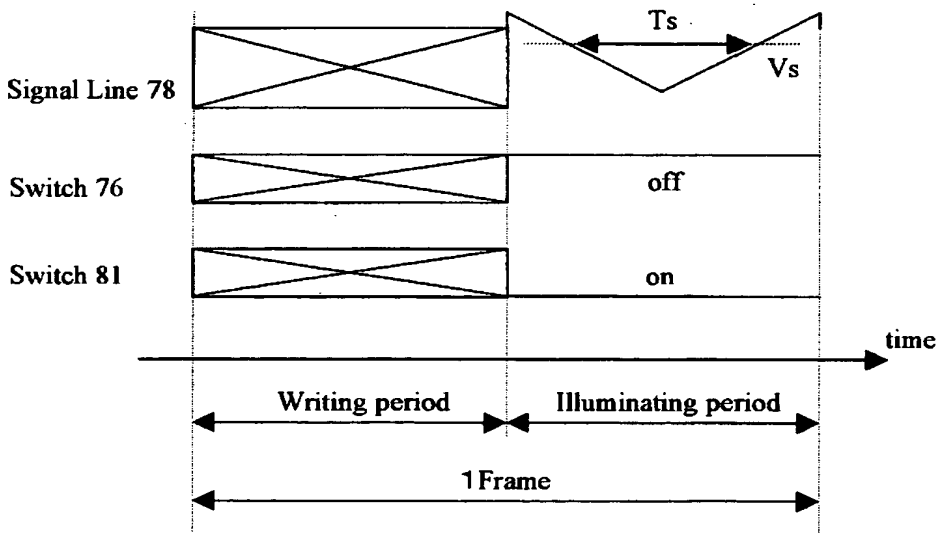
【図１４】

図14



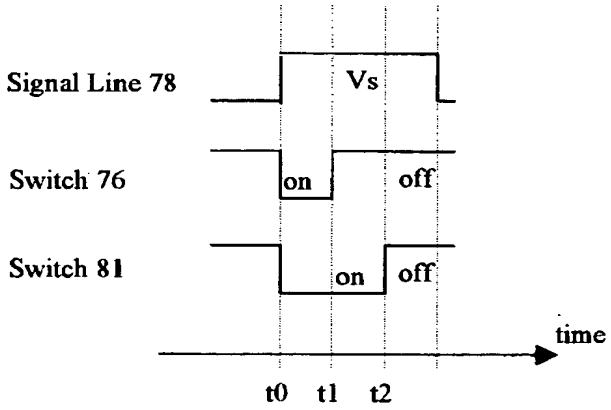
【図１５】

図15



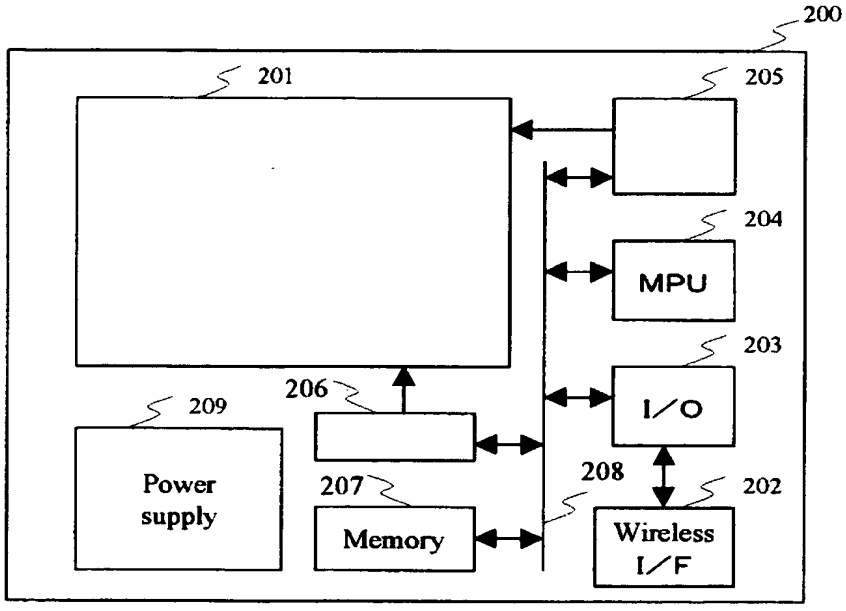
【図１６】

図16



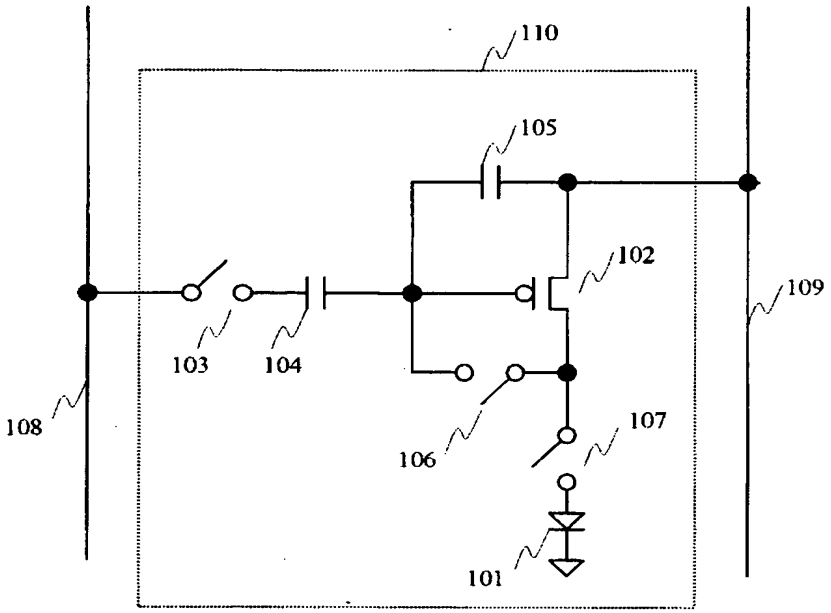
【図１７】

図17



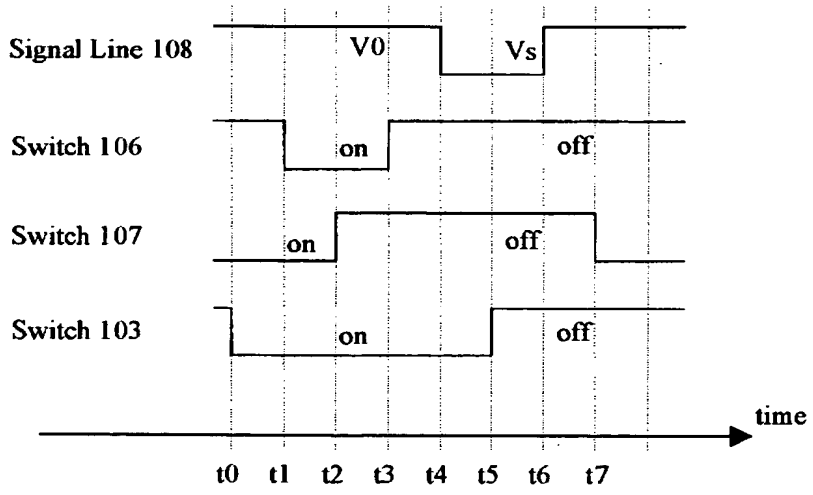
【図１８】

図18



【図１９】

図19



【書類名】　　要約書

【要約】

【課題】　高画質画像表示が可能であり、かつ低コスト化に好適な画像表示装置を提供すること。

【解決手段】　発光状態／非発光状態を制御するための発光状態制御手段と、発光状態選択時において、各画素に対して信号線を介して一定電圧を供給するための一定電圧供給手段を有すること。

【選択図】　図１

認定・付加情報

特許出願の番号	特願２００３－１３６６９０
受付番号	５０３００８０４７７１
書類名	特許願
担当官	第一担当上席　　００９０
作成日	平成１５年　５月１６日

＜認定情報・付加情報＞

【提出日】　平成15年 5月15日

次頁無

特願２００３－１３６６９０

出　願　人　履　歴　情　報

識別番号　　［０００００５１０８］

１．変更年月日　　１９９０年　８月３１日
［変更理由］　　新規登録
住　所　　東京都千代田区神田駿河台４丁目６番地
氏　名　　株式会社日立製作所

特願２００３－１３６６９０

出　願　人　履　歴　情　報

識別番号　　［５０２３５６５２８］

１．変更年月日　　２００２年１０月　１日
［変更理由］　　新規登録
住　所　　千葉県茂原市早野３３００番地
氏　名　　株式会社　日立ディスプレイズ